

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-149760

(43)Date of publication of application : 31.05.1994

(51)Int.Cl.

G06F 15/16

G06F 9/445

(21)Application number : 03-208228

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 20.08.1991

(72)Inventor : EINHORN KENNETH H J
STEWART JAY D

(30)Priority

Priority number : 90 570171

Priority date : 20.08.1990

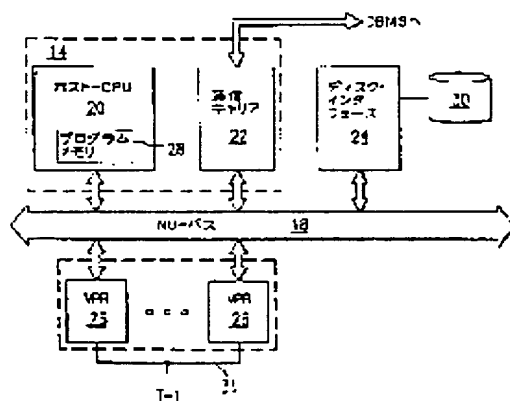
Priority country : US

(54) METHOD AND DEVICE FOR DIGITAL SIGNAL PROCESSING

(57)Abstract:

PURPOSE: To change a program related to a digital signal processor(DSP) without bringing the DSP into idle and reset states by transferring a program routine from a 1st memory for storing a program code to a 2nd memory according to the control of a processing unit.

CONSTITUTION: A CPU 20 transfers the program routine and a data parameter from a program memory 28 to one of DSP memories on a voice processing board(VPB) 26. The VPB 26 executes the program routine downloaded by the CPU 20. When the execution of the program routine is completed, the CPU 20 uploads a parameter generated during the execution due to the DSP inside the VPB 26 and based on this parameter the program routine to be next executed by the DSP is judged. The respective program routines are considered as one part of an application program and the order or the like can be dynamically changed.



LEGAL STATUS

[Date of request for examination] 20.08.1998

[Date of sending the examiner's decision of rejection] 01.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

・ (19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-149760

(43)公開日 平成 6

(51)Int.Cl.⁵

G 0 6 F 15/16
9/445

識別記号

4 2 0 S 9190-5L

9367-5B

庁内整理番号

F I

G 0 6 F 9/ 06

4 2 0 K

審査請求 未請求 請求項の数 2 (全 8 頁)

(21)出願番号 特願平3-208228

(22)出願日 平成 3 年(1991) 8 月20日

(31)優先権主張番号 5 7 0 1 7 1

(32)優先日 1990年 8 月20日

(33)優先権主張国 米国 (U S)

(71)出願人 590000879

テキサス インストルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス、ノース
セントラルエクスプレスウェイ 13500

(72)発明者 ケネス エイチ. ジェイ. エインホーン
アメリカ合衆国テキサス州オースチン、ア
パートメント ナンバー 5, ロス イン
ディオス トレイル 12325

(72)発明者 ジェイ ディー. スチュワート
アメリカ合衆国テキサス州シーダー パー
ク, バレイ パイク 3211

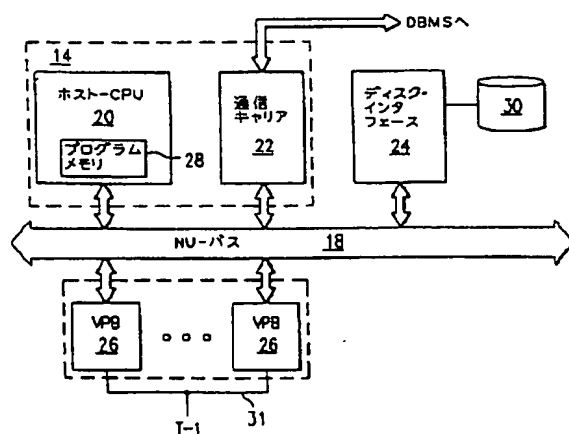
(74)代理人 弁理士 浅村 皓 (外 3 名)

(54)【発明の名称】 デジタル信号処理方法及び装置

(57)【要約】

【目的】 デジタル信号プロセッサをアイドル状態及びリセット状態にすることなく、デジタル信号プロセッサに関連されたプログラムを変更可能にするデジタル信号処理装置及び方法を提供する。

【構成】 メモリ (34) を接続したデジタル信号プロセッサ (32) がメモリ (34) のプログラム記憶領域 (42) に記憶されたプログラム・ルーチンを解釈するプログラム・インタプリタ (40) を実行する。前記プログラム・ルーチンは大きなアプリケーション・プログラムの複数部分である。前記プログラム・ルーチンは CPU (20) の制御を介してダウンロードされ、前記 CPU (20) はプログラム・ルーチンのライブラリを接続しているプログラム・メモリ (28) に記憶する。



【特許請求の範囲】

【請求項1】 デジタル信号処理装置において、デジタル信号プロセッサと、前記デジタル信号プロセッサに接続されて前記デジタル信号プロセッサにより実行されるべきプログラム・コードを記憶する第1のメモリと、プログラム・ルーチンを記憶する第2のメモリと、プログラム・ルーチンを前記第2のメモリから前記第1のメモリへ転送させるように動作可能なインタフェース回路と、前記デジタル信号プロセッサをアイドル状態に設定することなく、転送を完了することができるように、前記第2のメモリから前記第1のメモリへのプログラム・ルーチンの転送を制御する処理ユニットとを備えていることを特徴とするデジタル信号処理装置。

【請求項2】 デジタル信号プロセッサを制御する方法において、第1のメモリにおけるアプリケーション・プログラムに関連した複数のプログラム・ルーチンを記憶するステップと、第1のメモリから前記デジタル信号プロセッサに接続されている第2のメモリへプログラム・ルーチンを転送するステップと、前記デジタル信号プロセッサをアイドル状態にすることなく、前記プログラム・ルーチンを完結できるように前記プログラム・ルーチンを解釈するインタプリタ・プログラムを実行するステップとを備えていることを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般的に電子回路に関し、特にデジタル信号処理装置及び方法に関する。

【0002】

【従来の技術】デジタル信号処理は、音響、音声処理、地震学及び他の分野を含む多くの電子装置の重要な側面をなす。デジタル信号処理は数値により表される信号処理に関する。数値の処理はしばしば極端に複雑なものとなる。

【0003】デジタル信号プロセッサの集積回路は信号処理アルゴリズムを実行するために必要な機能を得るように設計されていた。これらのデジタル信号プロセッサは、関連のメモリに記憶されているプログラムを実行する点で一つのマイクロプロセッサに類似している。しかし、デジタル信号プロセッサは、典型的に限定されたメモリ空間をアドレス指定し、しかも仮想メモリ機能は備えていない。従って、大規模なプログラムを実行するために、デジタル信号プロセッサはアイドル状態に置かなければならず、一方プログラムの一部をそのローカル・メモリにロードし、かつリセット信号をデジタル信号プロセッサが処理を再開するときに供給する。

更に、DPSローカル・メモリに記憶されているプログラムを修飾するために、アイドル/ダウンロード/リセット手順が続いている。

【0004】DSPのメモリにおけるプログラムを変更する前記方法には、いくつかの問題がある。第1に、マイクロプロセッサがアイドル状態であり、新しいデータがそのメモリにダウンロードされるので、リアル・タイムの応答損失がある。更に、DSPのリセットは、DSPにレジスタ値を喪失させる恐れがあり、従って、レジスタ値はDSPをリセットする前にテキスト・メモリに記憶され、かつ再ロードされなければならない。これは、付加的な時間を必要とするものである。更に、あるDPSでは、リセット・ボタンが自己試験を実行状態にする結果となる。

【0005】

【発明が解決しようとする課題】従って、デジタル信号プロセッサをアイドル及びリセット状態にすることなく、デジタル信号プロセッサに関連するプログラムの変更が可能なデジタル信号プロセッサ装置及び方法に対する要請があった。

【0006】

【課題を解決するための手段】本発明によれば、従来技術に関連した欠点をほぼ除去するデジタル信号処理装置及び方法を開示するものである。

【0007】本発明のデジタル信号プロセッサは第1のメモリに接続されたデジタル信号プロセッサを備えている。前記デジタル信号プロセッサが実行するプログラム・ルーチンを第2のメモリが記憶する。デジタル信号プロセッサをアイドル状態に置くことなく転送を完了するように、処理ユニットの制御に従って前記第1のメモリから前記第2のメモリへプログラム・ルーチンを転送する動作が可能である。

【0008】本発明は、従来技術に対していくつかの技術的な利点を有する。まず、前記第1のメモリよりかなり大きな前記デジタル信号プロセッサによりプログラムを効果的に実行することができるように、処理ユニットによってデジタル信号プロセッサから及びこれにプログラム・ルーチンを転送することができることである。前記第1のメモリに転送されるプログラム・ルーチンの順序を調製することにより、プログラムをダイナミックに変更することができる。更に、特殊な実行から独立しているルーチンを疑似コード・フォーマットにより転送することができる。

【0009】本発明及びその効果をより完全に理解するために、ここで、添付する図面に関連させて行なっている以下の説明を以下参照する。

【0010】

【実施例】本発明の好ましい実施例は、図面の図1～図5を参照することにより最も良く理解されるものであり、同一番号は種々の図面における同一及び対応する部

分に用いられている。

【0011】図1は通信システムのブロック図を示す。本発明を図1の通信に関連して説明するが、本発明は、ここで更に詳細に説明されるどのようなデジタル信号処理システムにも適用可能である。

【0012】通信システム10は、T-1ラインに接続された電話制御部12と、電話制御部12に接続されたサービス制御部14と、データ・ベース管理システム(DBMS)16とを備えている。

【0013】動作において、DBMS16は顧客記録、会計情報、ボイス・データ・ファイル、及び大規模のデータ・ベースを必要とする他のデータを保持するメイン・フレーム・コンピュータである。サービス制御部14はデータ・ベース管理システム16と、通信システムのユーザとの間のインタフェースをなす。例えば、サービス制御部14はボイス・メール・システムを監督する。これは、データ・ベース管理システム16からメッセージを読み出すこと、発呼者に指令を促すこと等が必要となる。電話制御部12はT-1ラインのインタフェースをし、発呼者にボイス・データの実際の送受信を実行すると共に、通信プロトコルを管理する。

【0014】図2は図1の通信システム10の更に詳細なブロック図である。バス18は、好ましくは、NU-BUS基準に適合するものであり、CPU20、通信キャリア22、ディスク・インタフェース24、及び複数のボイス処理基板VPB26に接続されている。CPU20はプログラム・メモリ28に接続されている。ディスク・インタフェース24はハード・ディスク30即ち他の大容量メモリ装置に接続されている。VPB26はT-1バス31を介してT-1ラインにも接続されている。通信キャリア22はデータ・ベース管理システム16に接続されている。

【0015】VPB26は電話制御部12を備えている。各VPB26は、図3に関連して更に詳細に説明されているように、複数のデジタル信号プロセッサ(DSP)を備えている。各VPB基板は、好ましくは、各VPB26がT-1ライン上の多重チャネルを処理する多重タスク・システムである。

【0016】CPU20は、好ましくは、多重プロセッサ、例えばモトローラ68030を備えている。プログラム・メモリ28はプログラム・ルーチンと、CPU20の制御に従ってVPB26に転送されるデータ・パラメータとを記憶している。CPU20はマイクロプロセッサに命令を制御するローカル・プログラム・メモリ(図示なし)も備えている。

【0017】通信キャリア22は、バス18とデータ・ベース管理システム16との間で情報を転送するための通信機能を有する。ディスク・インタフェース24は、バス18と、主としてボイス・メッセージ・サービスに関連した一時データを記憶するために用いるハード・デ

ィスク30のようなマス・メモリ装置とを備えている。

【0018】動作において、CPU20はプログラム・メモリ28からVPB26へプログラム・ルーチン及びデータ・パラメータを転送する。VPB26はCPU20によりダウンロードされたプログラム・ルーチンを実行する。プログラム・ルーチンの実行を完了したときは、CPU20はバス18を介して通知を行ない、またCPU20は他のプログラム・ルーチンをダウンロードすることもできる。

【0019】各プログラム・ルーチンはアプリケーション・プログラムの一部として考えることができる。VPB26におけるアプリケーション・プログラムの一部のみを実行することにより、いくつかの効果が明らかとなる。第1に、プログラム・ルーチンは、アプリケーション・プログラムの実行を可能にし、そのメモリ必要量はVPB26に含まれているローカル・メモリよりも大きい。第2に、アプリケーション・プログラムは、実行時間中にVPB26に転送されたプログラム・ルーチンの順序を修飾することにより、ダイナミックに調整することができる第3に、その進行中の動作を中断させることなく、付加的なサービス及び特徴を通信システム10に付加することができる。

【0020】図3はVPB26のブロック図を示す。各VPB26は複数のDSP32個別的には(DSP32a~DSP32cとして示す。)を備えている。各DSP32a~32cは、それぞれのDSPメモリ34a~34c及びそれぞれのT-1バッファ36a~36cを有する。DSPメモリ34a~34cは、DSP32a~32c間の通信が可能ないようにDSP32a~32c間で交差接続されている。NU-BUS(図示なし)をインタフェースする回路は、テキサス・インスツルメントTMS320C25集積回路を備えたものでもよい。

【0021】この実施例において、DSP32a~32cは22はテキサス・インスツルメントTMS320C30デジタル信号プロセッサを備えたものでもよい。各DSPメモリ34は(32ビット・バスのときは)256×4バイトとして配列された1メガバイト・メモリを有する。T-1バッファ36a~36cはミテル(Mitel)MT8920STバス並列アクセス回路を備えている。T-1バッファ36a~36cはDSP32a~32cが発生する波形を変換してT-1ラインに送出する適当な信号を得る。付加的なT-1チップは、例えばミテルMT8980及びMT89760はT-1ラインと通信することが必要である。

【0022】動作において、DSP32a~32cのうちの一つはCPU20によりダウンロードされたプログラム・ルーチンを実行する責任がある。他のDSP32a~32cは特定の機能に割り付けられる。例えば、DSP32a~32cのうちの一つは、話者従属の連続ディジット認識に取り付けられ、ここで、発呼者はキーバ

ッドを用いてディジットを入力するのではなく、受話器にディジットを話すことができる。割り付けられた他の機能は話者検定であり、話した識別コードを用いることにより話者が識別されると共に、検定される。話者検定では、話者従属の連続ディジット認識を用いて識別コードを判断し、当該の識別コードに対応するデータ・ベース管理システム16からボイス・テンプレートを読み出す。次いで、このボイス・テンプレートが実際に話されたコードと比較されて、発呼者が認定されたユーザであるか否かが判断される。

【0023】この実施例では3つのDSP及び関連するメモリ及びT-1バッファを示しているが、DSP32a~32cを用いる装置の性質に基づいて、それ以上又は以下のものを用いることもできる。

【0024】図4はCPU20から転送されたプログラム・ルーチンを実行する責任があるDSPに関連して、DSPメモリ34a~34cを用いる方法を示す。DSPメモリ34a~34cは3つの領域、即ちDSP制御実行コード部38、プログラム・インタプリタ40及びプログラム記憶部42を有するものと考えることができる。プログラム記憶部42は、CPU20からVPB26に転送したプログラム・ルーチン及びパラメータ・データを記憶する。プログラム・ルーチンは、好ましくは、疑似コード・フォーマットによる。プログラム・インタプリタ40は、プログラム記憶部42における疑似コードのプログラム・ルーチンを解釈するコードを備えている。DSP制御実行コード部38はCPU20によって変更されていないコードを記憶する。このコードは、ダウンロードされたソフトウェアからの要求、マルチタスク処理、及びT-1及びN-U-BUS転送プロトコルを含む。例えば、プログラム記憶部42にダウンロードされた疑似コードのプログラム・ルーチンは、キー

パッド・ディジット5に対応するDTMF信号を表す機能「トーン発生5」を含むことができる。プログラム・インタプリタ40は命令を解釈し、かつ適当なDSP制御コードをアクセスして適当なDTMF信号を実行させる。

【0025】プログラム・インタプリタ40により解釈された実際のプログラム言語はアプリケーションによって異なる。以上で説明した通信システムの応用の場合は、以下のコマンドが含まれる。

10 【0026】算術演算

算術演算：+、-、*、/、mod、=及び一減算の場合の“-”

ブール演算：論理積、論理和、排他的論理和、否定

【0027】比較

比較は「もし〜条件〜ならば〜ステートメント」の構築に用いられ、真又は偽の評価を行なう。ストリング及び整数の変数を共に比較することができる。

【0028】算術演算：=、!=、<、>、<=、>=

ブール演算：論理積、論理和、排他的論理和、等号

20 【0029】機能

ATOI(strexpr)：ディジット・ストリングをその数値表示に変換する。

CHR(intexpr)：与えられた数に対応するASCIIキャラクタを戻す。

ITOA(intexpr)：数をその数を表すストリングに変換する。

LEN(strexpr)：入力ストリングの長さを戻す。

VAL(strexpr)：ストリングにおける第1のキャラクタのASCII値を戻す。

【0030】手順

殆ど通信処理に関連している以下の手順を含む。

手順	説明
アンサ・フォン	着信呼を受信するようにVPBを整え、呼を受信したときはオンフック検出ルーチンを活性にする。
ライン接続	入チャンネル及び出T-1チャンネルを接続して、ラインの終端の発呼者が互いに通話することができる。
トーン発生	指定された電話回線上に電話信号を発生する。この電話信号は、DTMFトーン、TOLIMFトーン、キーン押し下げ確認音、震音、ボンズ(bonds)等の特殊トーンである。
モニタ	電話チャンネルを開取り、何が聞こえるかを判断する。
プレー	ボイス・ファイルの内容を再生する。
確認	話者独立又は話者依存(又は両者同時)確認。話者依存フレーズ上でテンプレートの更新実行。
記録	指定したT-1ライン上の音をデジタル化データ・ファイルに記録する。
トーン受信	電話チャンネル上のトーンを検出するタスクを活性にする。
オフ・フック送信	指定されたチャンネルにオフ・フック信号を送出する。

オン・フック送信

捕捉

SICDR

検定

オフ・フックの待機

これは、ネットワーク・スイッチから着信呼を受信することになる。

これはT-1チャンネルの使用を終了する。ネットワーク・スイッチにオン・フック信号を発生してチャンネルを閉じると共に、VPBからの割り付けを終了する。

VPBを整えて出力T-1チャンネルを用いる。

話者から独立して連続ディジットの識別を実行する。

加入者のプロフィールから記憶したテンプレートにより（記録された、即ちライブの）加入者の声を検定する。ボイスが正しく検定されたときは、テンプレートが更新される。

出T-1チャンネル上でオフ・フックが発生するのを待機する。オフ・フックは、ネットワーク・スイッチが出呼についてカード数及びカードIDを受信するように準備していることを表す。オフ・フックが検出されると、オフ・フック検出ルーチンが活性される。

【0031】図5はダウンロードのフローチャートを示す。ブロック44では、プログラム・メモリ28から所望のDSP32a~32cに対応するDSPメモリ34a~34cへプログラム・ルーチンをダウンロードする。第1のプログラム・ルーチンをダウンロードした後、CPU20はシーケンスにおいて次にダウンロードされるプログラムのうちで最も可能性のあるプログラムを判断する（ブロック46）。次いで、CPU20は、DSP32a~32cがプログラム・ルーチンの実行を完了するのを待機する（判断ブロック48）。プログラム・ルーチンの実行が完了すると、CPU20は、プログラム・ルーチンの実行中にDSPが発生したパラメータ（あれば）をアップロードする（ブロック50）。CPU20はアップロードしたパラメータに基づいて、次にDSP32a~32cが実行するプログラム・ルーチンを判断する（ブロック52）。アプリケーション・プログラムが完了していなかったときは、次のプログラム・ルーチンをダウンロードする（ブロック44）。

【0032】本発明は従来技術より優れたいくつかの効果を有する。アプリケーション・プログラムは、実行中にプログラム・ルーチンをプログラム・メモリ28からVPB26へ転送する順序についてダイナミックに変更することができる。CPU20は、プログラム・ルーチン及びデータをDSP32a~32cにより実行されないが、DSPがスクリプト・インタプリタ及び制御コードを実行することによって実行されるDSPメモリ34a~34cの領域へ転送するので、アイドル/リセット・ルーチンを必要としない。これが従来装置に関連した問題を回避する。更に、疑似コードを転送するので、関連するデジタル信号プロセッサ用の適当なスクリプト・インタプリタ及び制御コードを整えることにより、異なるハードウェアを用い、他のプラットフォームへ制御コードを転送することができる。

【0033】本発明を詳細に説明したが、付記する特許

請求の範囲により定義する本発明の精神及び範囲から逸脱することなく、ここで種々の変更、置換、及び改造が可能なことは、理解されるべきである。

【0034】以上の説明に関して更に以下の項を開示する。

【0035】(1) デジタル信号処理装置において、デジタル信号プロセッサと、前記デジタル信号プロセッサに接続されて前記デジタル信号プロセッサにより実行されるべきプログラム・コードを記憶する第1のメモリと、プログラム・ルーチンを記憶する第2のメモリと、プログラム・ルーチンを前記第2のメモリから前記第1のメモリへ転送させるように動作可能なインタフェース回路と、前記デジタル信号プロセッサをアイドル状態に設定することなく、転送を完了することができるように、前記第2のメモリから前記第1のメモリへのプログラム・ルーチンの転送を制御する処理ユニットとを備えていることを特徴とする。

【0036】(2) 第1項記載のデジタル信号処理装置において、前記プログラム・ルーチンは疑似コード・フォーマットにより記憶されることを特徴とする。

【0037】(3) 第2項記載のデジタル信号処理装置において、更に前記デジタル信号プロセッサに接続されて前記疑似コード・フォーマットのプログラム・ルーチンを解釈するインタプリタを備えていることを特徴とする。

【0038】(4) 第3項記載のデジタル信号処理装置において、前記インタプリタは前記第1のメモリに記憶されたプログラムであることを特徴とする。

【0039】(5) 第3項記載のデジタル信号処理装置において、更に前記デジタル信号プロセッサに接続されて所定の機能を実行させるための制御コードを備えていることを特徴とする。

【0040】(6) 第5項記載のデジタル信号処理装置において、前記制御コードは前記第1のメモリに記憶

されることを特徴とする。

【0041】(7) 第1項記載のデジタル信号処理装置において、前記処理ユニットはマイクロプロセッサを備えていることを特徴とする。

【0042】(8) 第1項記載のデジタル信号処理装置において、前記インタフェース回路はバスを備えていることを特徴とする。

【0043】(9) デジタル信号プロセッサを制御する方法において、第1のメモリにおけるアプリケーション・プログラムに関連した複数のプログラム・ルーチンを記憶するステップと、第1のメモリから前記デジタル信号プロセッサに接続されている第2のメモリへプログラム・ルーチンを転送するステップと、前記デジタル信号プロセッサをアイドル状態にすることなく、前記プログラム・ルーチンを完結できるように前記プログラム・ルーチンを解釈するインタプリタ・プログラムを実行するステップとを備えていることを特徴とする。

【0044】(10) 第9項記載のデジタル信号プロセッサを制御する方法において、前記記憶するステップは疑似コード・フォーマットにより前記プログラム・ルーチンを記憶するステップを備えていることを特徴とする。

【0045】(11) 第10項記載のデジタル信号プロセッサを制御する方法において、前記実行するステップは前記インタプリタ・プログラムにより解釈されたコマンドに回答して前記第2のメモリに記憶されている制御コードを実行するステップを備えていることを特徴とする。

【0046】(12) 第9項記載のデジタル信号プロセッサを制御する方法において、更に、前記デジタル信号プロセッサが前記プログラム・ルーチンの実行を完了したときを通知するステップを備えていることを特徴とする。

【0047】(13) 第12項記載のデジタル信号プロセッサを制御する方法において、更に、前記通知に回答して前記第1のメモリから前記第2のメモリにデータを転送するステップを備えていることを特徴とする。

【0048】(14) 第13項記載のデジタル信号プロセッサを制御する方法において、更に、前記第2のメモリに転送されたデータに回答して前記第2のメモリから前記第1のメモリに転送するための次のプログラム・ルーチンを判断するステップを備えていることを特徴とする。

【0049】(15) 第14項記載のデジタル信号プロセッサを制御する方法において、更に、前記データを前記第2のメモリに転送する前に、次に最も転送される可能性のあるプログラム・ルーチンを予測するステップを備えていることを特徴とする。

【0050】(16) 通信装置において、データ・ベース管理装置と、前記データ・ベース管理装置に接続されて

前記データ・ベース管理装置と送受信するように動作可能なサービス制御回路と、前記制御回路に接続されてプログラム・ルーチンを記憶する第1のメモリと、前記サービス制御回路に接続されたデジタル信号プロセッサと、前記デジタル信号プロセッサに接続され、前記サービス制御回路に回答して前記デジタル信号プロセッサにより実行されるべきプログラム・コードを記憶する第2のメモリと、前記第2のメモリから前記第1のメモリへプログラム・ルーチンを転送可能にさせるように動作するインタフェース回路とを備えていることを特徴とする。

【0051】(17) 第16項記載の通信装置において、前記サービス制御回路はマイクロプロセッサと、前記マイクロプロセッサに接続された第3のメモリとを備えていることを特徴とする。

【0052】(18) 第17項記載の通信装置において、前記サービス制御回路は更に前記データ・ベース管理装置と通信をする通信回路を備えていることを特徴とする。

【0053】(19) 第16項記載の通信装置において、前記プログラム・ルーチンは疑似コード・フォーマットにより記憶されることを特徴とする。

【0054】(20) 第19項記載の通信装置において、更に、前記デジタル信号プロセッサに接続されて前記疑似コードのプログラム・ルーチンを解釈するインタプリタを備えていることを特徴とする。

【0055】(21) 第20項記載の通信装置において、前記インタプリタは前記第2のメモリに記憶されたプログラムを備えていることを特徴とする。

【0056】(22) 第20項記載の通信装置において、更に、前記デジタル信号プロセッサに接続されて所定の機能を実行させるための制御コードを備えていることを特徴とする。

【0057】(23) 第22項記載の通信装置において、前記制御コードは前記第2のメモリに記憶されていることを特徴とする。

【0058】(24) メモリ34を接続したデジタル信号プロセッサ32がメモリ34のプログラム記憶領域42に記憶されたプログラム・ルーチンを解釈するプログラム・インタプリタ40を実行する。前記プログラム・ルーチンは大きなアプリケーション・プログラムの複数部分である。前記プログラム・ルーチンはCPU20の制御を介してダウンロードされ、前記CPU20はプログラム・ルーチンのライブラリを接続しているプログラム・メモリ28に記憶する。

【0059】(関連出願) 本発明は、アインホルンほかにより、「ボイス・サービス・システムをプログラミングする方法及び装置 (Method and Application For Programming A Voice Services Systems)」と

11

題して1990年8月20日に出願された米国特許出願第569, 676号、及びアインホルンほかにより、「音響サービス・システム (Voice Services System)」と題して1990年8月20日に出願された米国特許出願第569, 677号に関する。

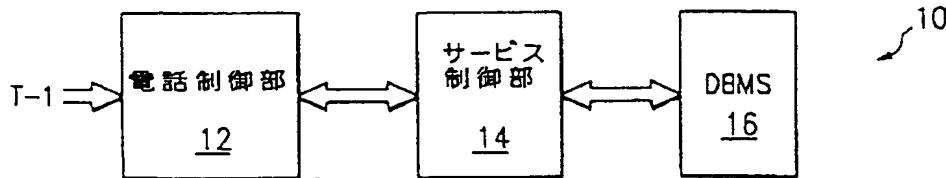
【図面の簡単な説明】

【図1】 本発明を採用した電話システムのブロック図。

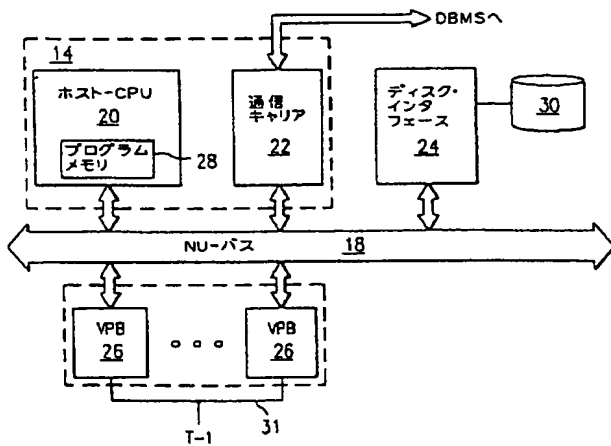
【図2】 図1の電話機システムの更に詳細なブロック図。

【図3】 本発明におけるボイス処理基板のブロック図。

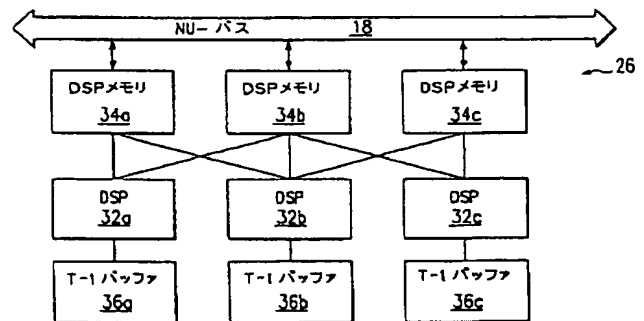
【図1】



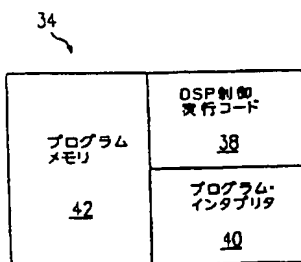
【図2】



【図3】



【図4】



【図4】 DSPメモリの分割を示す図。

【図5】 プログラム・ルーチンをディジタル信号プロセッサへダウンロードを説明するフローチャートを示す図。

【符号の説明】

20 CPU

28 プログラム・メモリ

32a~32c DSP

34a~34c メモリDSP

10 40 プログラム・インタプリタ

42 プログラム記憶部

【図5】

